

CLIPPEDIMAGE= JP410065205A

PAT-NO: JP410065205A

DOCUMENT-IDENTIFIER: JP 10065205 A

TITLE: FABRICATION OF SEMICONDUCTOR LIGHT-RECEIVING ELEMENT

PUBN-DATE: March 6, 1998

INVENTOR-INFORMATION:

NAME

MIYAMOTO, YASUMASA

NAKAMURA, TAKESHI

YAMADA, TAKAYUKI

KYOZUKA, SHINYA

ASSIGNEE-INFORMATION:

NAME

FUJI XEROX CO LTD

COUNTRY

N/A

APPL-NO: JP08220191

APPL-DATE: August 21, 1996

INT-CL (IPC): H01L031/107;H01L021/20 ;H01L021/268

ABSTRACT:

PROBLEM TO BE SOLVED: To improve the steepness of the band gap between a polycrystalline silicon layer and a silicon carbide layer by crystallizing a first amorphous semiconductor film through annealing, forming a second amorphous semiconductor film and a barrier layer, and then crystallizing the second amorphous semiconductor through annealing.

SOLUTION: A first amorphous silicon layer is formed on a substrate 1 and annealed using an excimer laser to form a polysilicon layer 4 having large grain size. Subsequently, a second amorphous silicon layer layer 9 thinner than the first amorphous silicon layer and a barrier layer 5, i.e., a silicon carbide layer, are formed and crystallized through annealing, by irradiating them with laser energy 10 at a lower energy density than that of the preceding process. The amorphous silicon layer layer 9 is crystallized in conjunction with the underlying polysilicon layer 4 to produce the polysilicon layer 4. Since the grain size is increased, total quantity of defective level for grain boundary in the layer can be reduced.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-65205

(43) 公開日 平成10年(1998) 3月6日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|------|--------|---------------|--------|
| H 0 1 L 31/107 | | | H 0 1 L 31/10 | B |
| 21/20 | | | 21/20 | |
| 21/268 | | | 21/268 | Z |

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平8-220191

(22) 出願日 平成8年(1996) 8月21日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72) 発明者 宮本 育昌

神奈川県足柄上郡中井町境430 グリーン

テクなかい 富士ゼロックス株式会社内

(72) 発明者 中村 毅

神奈川県足柄上郡中井町境430 グリーン

テクなかい 富士ゼロックス株式会社内

(72) 発明者 山田 高幸

神奈川県足柄上郡中井町境430 グリーン

テクなかい 富士ゼロックス株式会社内

(74) 代理人 弁理士 木村 高久

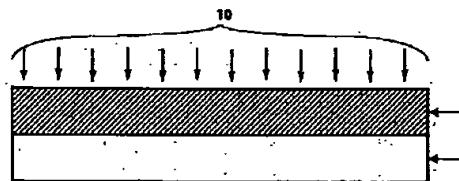
最終頁に続く

(54) 【発明の名称】 半導体受光素子の製造方法

(57) 【要約】

【課題】 良好な界面特性をもつ傾斜超格子型アバランシェフォトダイオードを提供する。

【解決手段】 本発明では、結晶半導体薄膜からなる井戸層と結晶半導体薄膜からなる障壁層とを順次積層してなる半導体受光素子の製造に際し、十分な膜厚の第1のアモルファス半導体薄膜を成膜し、アニールにより前記第1のアモルファス半導体薄膜とを結晶し、第1の結晶半導体薄膜を形成する工程と、前記第1のアモルファス半導体薄膜と同一材料からなり前記第1のアモルファス半導体薄膜よりも薄い第2のアモルファス半導体薄膜を成膜する工程と、この上層に前記結晶半導体薄膜からなる障壁層を成膜する工程と、前記第2のアモルファス半導体薄膜に、前記第1の結晶半導体薄膜を核として再結晶化する程度のエネルギーを付与し第2の結晶半導体薄膜を形成する工程とを含むことを特徴とする。



【特許請求の範囲】

【請求項1】 1対の電極間に、結晶半導体薄膜からなる井戸層と結晶半導体薄膜からなる障壁層とを積層してなる増倍層を具備してなる半導体受光素子の製造方法において、

前記増倍層の形成工程が、

十分な膜厚の第1のアモルファス半導体薄膜を成膜し、アニールにより前記第1のアモルファス半導体薄膜を結晶化し、第1の結晶半導体薄膜を形成する工程と、

前記第1のアモルファス半導体薄膜と同一材料からなり

前記第1のアモルファス半導体薄膜よりも薄い第2のアモルファス半導体薄膜を成膜する工程と、この上層に前記結晶半導体薄膜からなる障壁層を成膜する工程と、前記第2のアモルファス半導体薄膜に、前記第1の結晶半導体薄膜を核として再結晶化する程度のエネルギーを付与して結晶化し第2の結晶半導体薄膜を形成する工程とを含むことを特徴とする半導体受光素子の製造方法。

【請求項2】 前記第1および2のアモルファス半導体薄膜はアモルファスシリコンであり、

前記1および第2の結晶半導体薄膜は多結晶シリコンで

あり、前記障壁層は炭化シリコンであることを特徴とする請求項1記載の半導体受光素子の製造方法。

【請求項3】 前記第2のアモルファス半導体薄膜と障壁層とは、真空を破ることなく、連続的に成膜されることを特徴とする請求項1記載の半導体受光素子の製造方法。

【請求項4】 前記第2のアモルファス半導体薄膜をアニールする工程はレーザ光を用いたアニール工程であることを特徴とする請求項1記載の半導体受光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体受光素子の製造方法にかかり、特に複写機、ファクシミリなどの画像読取り用のラインイメージセンサ、ビデオカメラなどの画像入力用の二次元イメージセンサなどに用いられる半導体受光素子、特に光によって生成されたキャリアを衝突電離により増倍するアバランシェ効果を利用した半導体受光素子の製造方法に関する。

【0002】

【従来の技術】従来、可視光領域の光を読取るための素子としては広くCCDが用いられており、また、半導体薄膜を用いた薄膜型イメージセンサも一部で実用化されるようになってきている。これらの受光素子は何れも光センシング部にはフォトダイオードを用いており、原理的に光子1個に対して生成される電子は1個以下であり増幅作用のないものである。一般的には受光素子外部に増幅回路を持ち、これにより電子の増幅を行って感度を向上させることが広く行われているが、この方法では受

光素子部分におけるノイズ成分も同時に増幅してしまうため、S/N比の低下を伴ってしまうという問題があった。従ってこれらの素子を用いて鮮明な画像を得るためには、読取り対象に強い光をあてて十分な反射光を得られる状態にして撮像を行わなければならないという欠点がある。

【0003】この欠点を補うことを目的とし、本発明者らは、レーザアニール法を用いて形成した多結晶シリコン薄膜/炭化シリコン薄膜超格子において障壁層を鋸刃状のポテンシャル構造とした傾斜超格子構造のアバランシェフォトダイオード(APD)を提案している。

【0004】このアバランシェフォトダイオードは、図16~19にその製造工程図を示すように基板1上にスパッタリング法により、下部電極2としてタンタル(Ta)薄膜を形成した後、プラズマCVD法により正孔注入阻止層3としてn型水素化アモルファスシリコン(a-Si:H)層を形成する。ついでLPCVD法によりアモルファスシリコン(a-Si)層9を形成し、エキシマレーザを用いてレーザエネルギー10を照射し結晶化する(図16)。

【0005】これにより、図17に示すように、アモルファスシリコン層9は井戸層4としての多結晶シリコン層となる。

【0006】この後プラズマCVD法により、障壁層5としての炭化シリコン層、光吸収層6としての水素化アモルファスシリコン層、電子注入層7としてのp型水素化アモルファスシリコン層を連続的に堆積し、さらに図18に示すように、この上層にスパッタリング法により酸化インジウム錫(ITO)層からなる上部電極8を形成する。

【0007】そしてパターニングし、図19に示すように、多結晶シリコン層と炭化シリコン層とが積層された超格子構造のアバランシェフォトダイオードを形成することができる。

【0008】このようにして形成されたアバランシェフォトダイオードにおいては、光吸収層で生成されたフォトキャリアを、この増倍層で増幅し、上部および下部電極を介して電流として取り出すことにより、増幅作用をもつものとなる。

【0009】

【発明が解決しようとする課題】しかしながら、この方法では、増倍層としての多結晶シリコン/炭化シリコン超格子を形成するに際し、アモルファスシリコン層の成膜、その結晶化、そして炭化シリコン層の成膜というように、成膜工程の間に結晶化を行わなければならない。従って、障壁層となる炭化シリコン層と井戸層となる多結晶シリコン層との界面は、成膜装置とアニール装置との間を搬送する際に、不純物の付着などにより、界面の欠陥準位を増加させ、結果としてアバランシェフォトダイオードの暗電流を増大し、増倍率、S/N比を低下さ

せてしまっていた。また、不純物の付着を改善するために洗浄工程が必要となり、スルーブットがさらに悪化するという問題があった。

【0010】そこでまた、アモルファスシリコンと炭化シリコンとを連続的に堆積した後レーザアニールにより結晶化を行うという方法も提案されているが、その場合にはアモルファスシリコンが溶融した際に炭化シリコンからの炭素の拡散が膜全体に起こり、アモルファスシリコンと炭化シリコンとの界面でのバンドギャップの急峻性が失われてしまい、これが増倍率の向上を阻む原因となっていた。

【0011】本発明は前記実情に鑑みてなされたもので、良好な界面特性をもつ傾斜超格子型アバランシェフォトダイオードを提供することを目的とする。

【0012】

【課題を解決するための手段】そこで本発明では、結晶半導体薄膜からなる井戸層と結晶半導体薄膜からなる障壁層とを順次積層してなる半導体受光素子の製造に際し、十分な膜厚の第1のアモルファス半導体薄膜を成膜し、アニールにより前記第1のアモルファス半導体薄膜とを結晶し、第1の結晶半導体薄膜を形成する工程と、前記第1のアモルファス半導体薄膜と同一材料からなり前記第1のアモルファス半導体薄膜よりも薄い第2のアモルファス半導体薄膜を成膜する工程と、この上層に前記結晶半導体薄膜からなる障壁層を成膜する工程と、前記第2のアモルファス半導体薄膜に、前記第1の結晶半導体薄膜を種として再結晶化する程度のエネルギーを付与して結晶化し第2の結晶半導体薄膜を形成する工程とを含むことを特徴とする。

【0013】望ましくは、前記第1および第2のアモルファス半導体薄膜はアモルファスシリコンであり、前記1および第2の結晶半導体薄膜は多結晶シリコンであり、前記障壁層は炭化シリコンであることを特徴とする。

【0014】望ましくは、前記第2のアモルファス半導体薄膜と障壁層とは真空を破ることなく連続的に成膜されることを特徴とする。

【0015】前記第2のアモルファス半導体薄膜をアニールする工程はレーザ光を用いたアニール工程であることを特徴とする。

【0016】すなわち、本発明の方法では、あらかじめ第1のアモルファス半導体薄膜の結晶化に十分なエネルギーを付与し結晶化し、十分に粒径の大きな多結晶半導体薄膜を得たのち、薄い第2のアモルファス半導体薄膜を形成し、さらに障壁層を形成した後、第2のアモルファス半導体薄膜が既に結晶化されている多結晶半導体薄膜と融合する程度のエネルギーを付与することにより、多結晶半導体薄膜の結晶性を維持しつつ第2の結晶半導体薄膜を形成する。従って、障壁層の形成後のアニール工程で溶融するのは薄い第2のアモルファス半導体薄膜

だけであり、従って炭化シリコンから炭素が拡散するのは最大第2のアモルファス半導体薄膜の厚さ分だけであり、従来のように結晶半導体薄膜全体にわたって炭素が拡散した場合に比べ、バンドギャップの急峻性を大幅に改善することができる。

【0017】また、第2のアモルファス半導体薄膜と障壁層とを真空を破ることなく連続的に成膜しているため、膜の表面が汚染されることもなく、欠陥準位の少ないアバランシェフォトダイオードを形成することが可能となる。また、同一チャンバー内で成膜するようにすれば、装置間での搬送に際して汚染されることなくより良好な薄膜形成が可能となる。

【0018】また、アモルファスシリコンを結晶化する場合、レーザ光を用いて波長を適切に選択すれば、表面層のみを選択的に結晶化することができる。

【0019】なお、第1および第2のアモルファス半導体薄膜の膜厚の比は2～10：1、エネルギーについては、500mJ/cm²以下とするのが望ましい。

【0020】また、ここで第1および第2の結晶半導体薄膜とは、通常多結晶を示すが、単結晶であってもよい。

【0021】

【発明の実施の形態】以下、本発明について、図面を参照しつつ説明する。

【0022】図1乃至図4は本発明の半導体受光素子の製造方法を原理的に説明する図である。すなわち、本発明の方法では、第1のアモルファス半導体薄膜の結晶化に十分なエネルギーを付与し結晶化し、十分に粒径の大きな多結晶半導体薄膜を得たのち、薄い第2のアモルファス半導体薄膜を形成し、さらに障壁層を形成した後、第2のアモルファス半導体薄膜が既に結晶化されている多結晶半導体薄膜と融合する程度のエネルギーを付与することにより、多結晶半導体薄膜の結晶性を維持しつつ第2の結晶半導体薄膜を形成することにより、アモルファスシリコン薄膜と炭化シリコン薄膜との傾斜超格子構造の光電変換層を形成することを中心とする。

【0023】まず、図1に示すように基板1上に第1のアモルファスシリコン(a-Si)層9を形成し、エキシマレーザを用いてレーザエネルギー10を照射し結晶化する。

【0024】これにより、図2に示すように、粒径の大きな多結晶シリコン層4が形成される。

【0025】この後、図3に示すように、薄い第2のアモルファスシリコン薄膜9、炭化シリコン層5を形成し、これにエキシマレーザを用いて前記工程よりもエネルギー密度の低いレーザエネルギー10を照射し結晶化する。

【0026】このとき最上層の炭化シリコン層5の透過率は100%程度であるため、この光は良好に薄いアモルファスシリコン層9に到達し、結晶化に作用し、下地

5

の多結晶シリコン層4の結晶性を引き継ぎながらこれを核として連続して第2のアモルファスシリコン層9は結晶化され図4に示すように、既に形成された多結晶シリコン層と共に極めて結晶性の高い井戸層としての多結晶シリコン層4を構成する。

【0027】このようにエキシマレーザにより再結晶化をおこなった場合には、膜厚と同程度の粒径をもつ柱状結晶からなる多結晶シリコンが形成される。粒径が大きくなるにつれて膜中の結晶粒界の占める体積が相対的に低くなり、その結果粒界に存在する欠陥単位の膜中の総量が低減される。

【0028】そしてこのようにして十分に粒径が大きくなるように結晶化した多結晶シリコン層を核として、上層の薄いアモルファスシリコン層の結晶化が起り、最終的に粒径が大きい多結晶シリコンが形成される。

【0029】そしてまた、障壁層の形成後のアニール工程で溶融するのは薄いアモルファスシリコンであり、従って炭化シリコンから炭素が拡散するのは最大第2のアモルファスシリコン薄膜の厚さ分だけであり、従来のように結晶半導体薄膜全体にわたって炭素が拡散した場合に比べ、バンドギャップの急峻性を大幅に改善することができる。

【0030】また、第2のアモルファスシリコン薄膜と障壁層とを連続的に成膜しているため、装置間での搬送に際して膜の表面が汚染されることもなく、欠陥単位の少ない光電変換層を形成することが可能となる。

【0031】さらにまた、炉アニールを用いることによりさらに粒径の大きな多結晶シリコンを得ることができる。但し、炉アニールは低温で行う程長時間のアニールが必要であり、スルーアウトに大きく影響する。

【0032】次に本発明第1の実施例のアバランシェフォトダイオードの製造工程について説明する。まず図5に示すようにガラス基板1上にスパッタリング法により、下部電極2としてタンタル(Ta)薄膜を500nm程度の膜厚となるように形成した後、プラズマCVD法により正孔注入阻止層3として膜厚50nm程度のn型水素化アモルファスシリコン(a-Si:H)層を形成する。ついで、LPCVD法により膜厚100nm程度の第1のアモルファスシリコン(a-Si)層9を形成し、発振波長351nmのXeFエキシマレーザを用いて300mJ/cm²程度のレーザ光10を照射し結晶化する。

【0033】これにより第1のアモルファスシリコン層9は溶融再結晶化し、第1の多結晶シリコン層となる。そしてこの上層に膜厚20nmの第2のアモルファスシリコン層9をLPCVD法により形成し、さらにプラズマCVD法により膜厚50nm程度の炭化シリコン(SiC)層5を形成し、同様に図6に示すようにXeFエキシマレーザを用いて100mJ/cm²程度のレーザエネルギー10を照射し結晶化する。

6

【0034】これにより、最上層の炭化シリコン層5の透過率は100%程度であるため、この光は良好にアモルファスシリコン層9に到達し、この層は透過率が極めて低いためこの層で良好に吸収され、照射エネルギーの大半がこの層の結晶化に作用し図8に示すように、アモルファスシリコン層9は下層の多結晶シリコン層4を核として結晶性の高い柱状の多結晶を形成し井戸層として膜厚120nm程度の多結晶シリコン層4を構成する。この多結晶シリコン層は粒径100nmであった。

【0035】この後プラズマCVD法により、光吸収層6として膜厚1μmの水素化アモルファスシリコン層、電子注入阻止層7としてのp型水素化アモルファスシリコン層を連続的に堆積し、さらに図8に示すように、この上層にスパッタリング法により酸化インジウム錫(ITO)層からなる膜厚60nmの上部電極8を形成する。

【0036】そしてバターニングし図9に示すように、多結晶シリコン層と炭化シリコン層とからなる超格子構造のアバランシェフォトダイオードが形成される。

【0037】このようにして形成されたアバランシェフォトダイオードの、多結晶シリコン/炭化シリコン界面での欠陥準位を調べたところ、従来に比べて大幅に改善されていることがわかった。また炭素の拡散も多結晶シリコン層の上層部の薄い領域のみにしか起こっていないことが確認された。

【0038】このアバランシェフォトダイオードに光を照射し、特性を測定した結果を図10および図11に示す。図10は、印加電圧と増倍率との関係を示し、図11は印加電圧と暗電流との関係を示す。いずれにおいても、実線は本発明実施例の方法で形成したアバランシェフォトダイオードについての測定結果であり、点線は従来例の方法で形成したアバランシェフォトダイオードの測定結果を示す図である。この結果からも本発明の方法によれば、暗電流が低減され、S/N比も大幅に向上していることがわかる。

【0039】これは次のような理由によるものと考えられる。この方法では、井戸層と障壁層の界面に不純物の混入もなく、また、結晶性のよい多結晶シリコンが形成される。従って、このアバランシェフォトダイオードに逆バイアスを印加する場合、井戸層に対して障壁層が高抵抗となっているため、井戸層には電解が殆どかからず、不要な電子/正孔対の生成が皆無となって暗電流の発生が抑制され得、また、この多結晶シリコンは高移動度をもつため、高感度となる。

【0040】次に本発明の第2の実施例について説明する。ここでは、第1のアモルファスシリコン層を形成しアニールして第1の多結晶シリコン層4を形成する工程までは、前記第1の実施例と同様の方法を用いて行い、この後第2のアモルファスシリコン層9から上部電極8まで順次積層し、この後基板面側からレーザ光を照射す

る様にしたことを特徴とする。

【0041】まず、前記第1の実施例と同様にして、図12に示すようにガラス基板1上にスパッタリング法により、下部電極2として透光性のITO薄膜を100nm程度の膜厚となるように形成した後、プラズマCVD法により正孔注入阻止層3として膜厚50nm程度のn型水素化アモルファスシリコン(a-Si:H)層を形成する。ついでLPCVD法により膜厚100nm程度の第1のアモルファスシリコン(a-Si)層9を形成し、発振波長351nmのXeFエキシマレーザを用いて300mJ/cm²程度のレーザ光10を照射し結晶化する。

【0042】これにより第1のアモルファスシリコン層9は溶融再結晶化し、第1の多結晶シリコン層となる。そしてこの上層に膜厚20nmの第2のアモルファスシリコン層9をLPCVD法により形成し、さらにプラズマCVD法により膜厚50nm程度の炭化シリコン(SiC)層5を形成し、さらに光吸収層6として膜厚1μmの水素化アモルファスシリコン層、電子注入阻止層7としての膜厚50nm程度のp型水素化アモルファスシリコン層を連続的に堆積し、さらにこの上層にスパッタリング法により酸化インジウム錫(ITO)層からなる膜厚60nmの上部電極8を形成する。ここで酸化インジウム錫層以外はすべて連続工程で形成することができる。そして、ガラス基板側から、発振波長620nmのハルス色素レーザを用いて100mJ/cm²のレーザ光10を照射し第2のアモルファスシリコン層を再結晶化する(図13)。

【0043】これにより、下部電極2としてのITO層、正孔注入阻止層3としてのn型水素化アモルファスシリコン層、炭化シリコン層5の透過率は100%程度であり、また、結晶化された第1の多結晶シリコン層4の透過率もほぼ80%であるため、この光は良好にアモルファスシリコン層9に到達し、この層は透過率が極めて低いためこの層で良好に吸収され、照射エネルギーの大半がこの層の結晶化に作用し図14に示すように、第2のアモルファスシリコン層9は溶融再結晶化され極めて結晶性の高い井戸層としての多結晶シリコン層4を構成する。

【0044】この後パターニングし図15に示すように、多結晶シリコン層と炭化シリコン層とが積層された超格子構造のアバランシェフォトダイオードが形成される。

【0045】このようにして形成されたアバランシェフォトダイオードも、前記第1の実施例の方法で形成したアバランシェフォトダイオードと同様暗電流が大幅に低減された。

【0046】なお、前記実施例では、基板としてガラス基板を用いたが、セラミック、石英、ポリイミドなど他の絶縁性材料を用いても良く、また金属板などの導電性

材料も、アバランシェフォトダイオードの用途によっては使用可能である。ただし基板側からレーザ光を照射する場合には、レーザ光を透過する材質を選択する必要がある。また下部電極としてはタンタルの他、モリブデン、チタン、タングステンなどの金属材料、タンタルシリサイド、モリブデンシリサイド、チタンシリサイド、タングステンシリサイドなどの金属シリサイドを用いてもよい。さらに正孔注入阻止層としてもn型水素化アモルファスシリコンに限定されることなく結晶シリコン、多結晶シリコンなどでもよい。セレン、ゲルマニウムなども適用可能である。また電子注入阻止層としてもp型水素化アモルファスシリコンに限定されることなく結晶シリコン、多結晶シリコンなどでもよい。障壁層としても炭化シリコンに限定されることなく窒化シリコンなども適用可能である。光吸収層としても水素化アモルファスシリコンに限定されることなくセレン、ゲルマニウムなども適用可能である。上部電極としても酸化インジウム錫に限定されることなく酸化錫など適宜変更可能である。

【0047】そして又、アモルファス半導体層、結晶半導体層の形成方法としてはLPCVD、プラズマCVD法に限定されることなく、ECRCVD、光CVD、スパッタリング、蒸着など他の方法を用いてもよいことはいうまでもない。

【0048】また、前記実施例では、アニール工程では、レーザとして、エキシマレーザ、色素レーザなどを用いたが、クリプトンレーザ、ルビーレーザ、Arレーザ、CW色素レーザ、Qスイッチレーザなどを用いても良くまた、ランプアニール、熱アニールも適用可能である。

【0049】さらにまた、前記実施例ではアバランシェフォトダイオードとして基板に対して素子側から光を検知するようにしたが、基板側からの光を検知するように構成してもよい。また増倍層としては井戸層と障壁層を1周期ではなく多層構造にしてもよい。また電極についても上部と下部とで挟むようにしたが、うにしてもよい。

【0050】

【発明の効果】以上説明してきたように、本発明によれば、多結晶シリコン層と炭化シリコン層界面の欠陥準位を低減することができ、またバンドギャップ差の急峻性を維持することができ、暗電流の少ない高品質のアバランシェフォトダイオードを得ることが可能となる。

【図面の簡単な説明】

【図1】本発明の方法の原理説明図

【図2】本発明の方法の原理説明図

【図3】本発明の方法の原理説明図

【図4】本発明の方法の原理説明図

【図5】本発明の第1の実施例のアバランシェフォトダイオードの製造工程図

9

10

【図6】本発明の第1の実施例のアバランシェフォトダイオードの製造工程図

【図7】本発明の第1の実施例のアバランシェフォトダイオードの製造工程図

【図8】本発明の第1の実施例のアバランシェフォトダイオードの製造工程図

【図9】本発明の第1の実施例のアバランシェフォトダイオードの製造工程図

【図10】本発明の第1の実施例のアバランシェフォトダイオードの印加電圧と増倍率との関係を示す図

【図11】本発明の第1の実施例のアバランシェフォトダイオードの印加電圧と暗電流との関係を示す図

【図12】本発明の第2の実施例のアバランシェフォトダイオードの製造工程図

【図13】本発明の第2の実施例のアバランシェフォトダイオードの製造工程図

【図14】本発明の第2の実施例のアバランシェフォトダイオードの製造工程図

【図15】本発明の第2の実施例のアバランシェフォトダイオードの製造工程図

【図16】従来例のアバランシェフォトダイオードの製造工程図

【図17】従来例のアバランシェフォトダイオードの製造工程図

【図18】従来例のアバランシェフォトダイオードの製造工程図

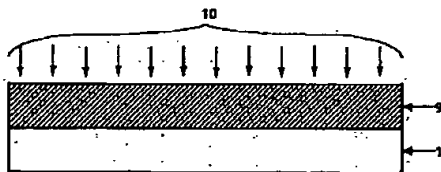
【図19】従来例のアバランシェフォトダイオードの製造工程図

【符号の説明】

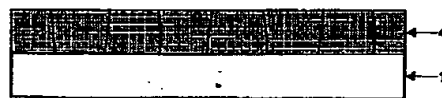
- 10 1 ガラス基板
2 下部電極
3 正孔注入阻止層
4 井戸層
5 障壁層
6 光吸収層
7 電子注入阻止層
8 上部電極
9 アモルファスシリコン層
10 レーザ光

20

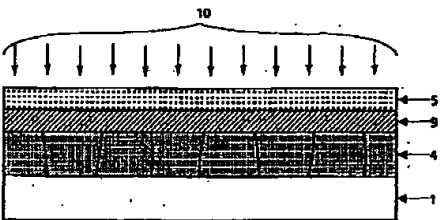
【図1】



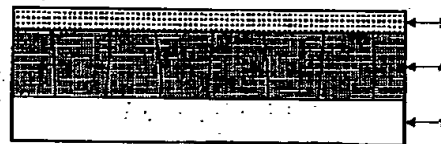
【図2】



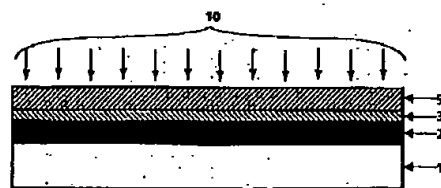
【図3】



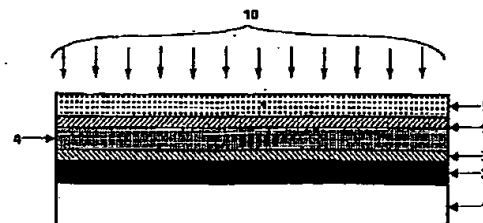
【図4】



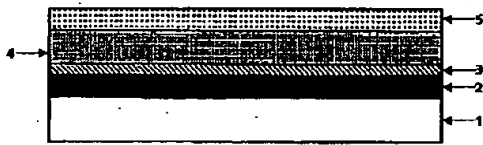
【図5】



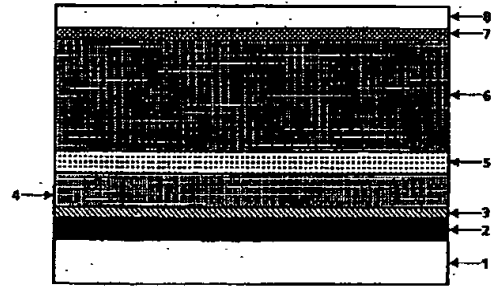
【図6】



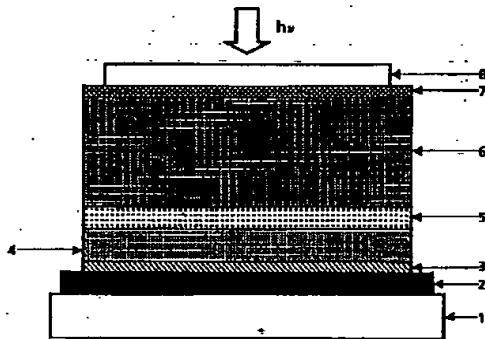
【図7】



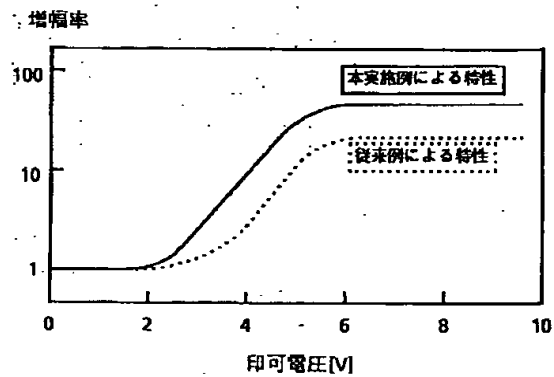
【図8】



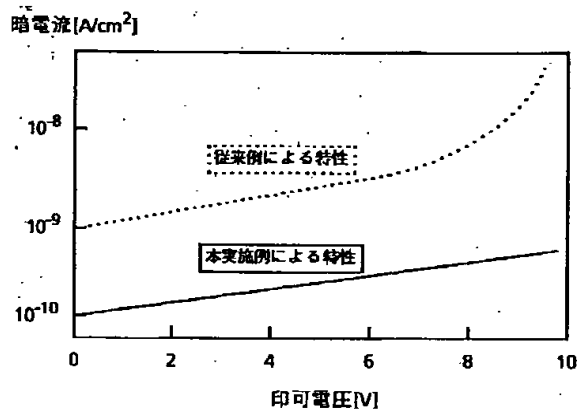
【図9】



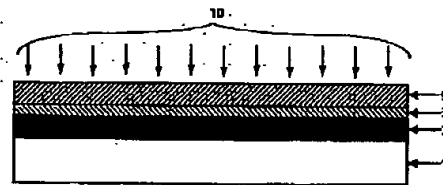
【図10】



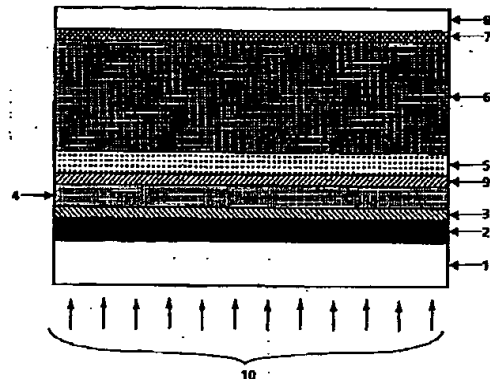
【図11】



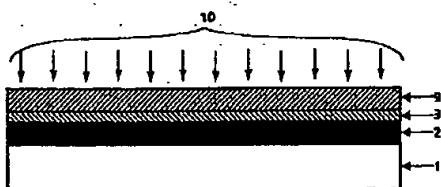
【図12】



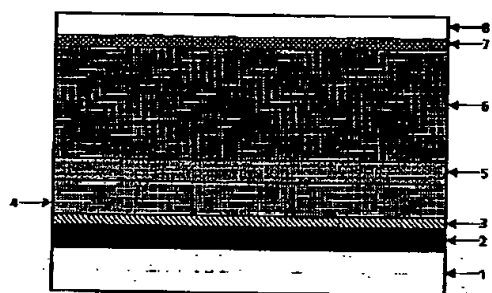
【図13】



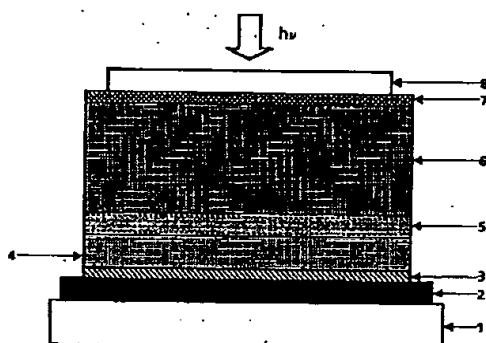
【図16】



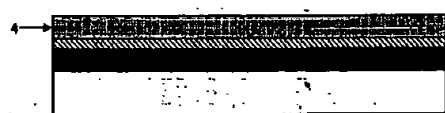
【図14】



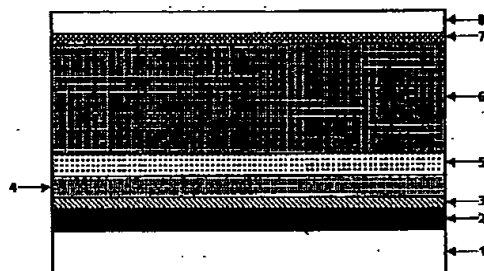
【図15】



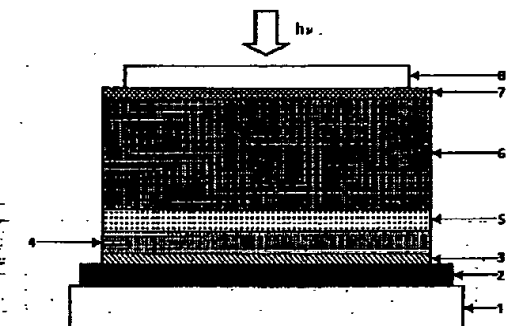
【図17】



【図18】



【図19】



フロントページの続き

(72)発明者 経塚 信也

神奈川県足柄上郡中井町境430 グリーン
テクなかい 富士ゼロックス株式会社内